

(19) 日本国特許庁 (F) (20) 公開特許公報 (A)

(11) 特許公開公報番号  
特開2003-114645  
(P2003-114645A)  
(20) 公開日 平成15年4月18日 (2003.4.18)

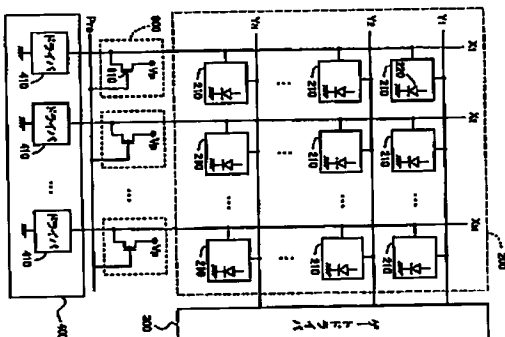
(51) Int. Cl. <sup>7</sup>	G09G 3/20	611 621 623 641
G09G 3/20	F I G09G 3/20	611 J 621 F 623 R 641 D

請求項 未請求 請求項の数量 OL (全 25 頁)

(21) 出願番号	特願2001-38838X (P2001-388389)	(71) 出願人	00002289 セイコーエレクトロニクス株式会社 東京都新宿区西新宿2丁目4番1号
(22) 出願日	平成13年12月3日 (2001.12.3)	(72) 発明者	河西 利伸 長野県諏訪市大和3丁目3番5号 セイコーエレクトロニクス株式会社内
(31) 優先権主張番号	特願2001-253587 (P2001-253587)	(74) 代理人	110000028 特許業務法人明成国際特許事務所 〒100-0005 東京都千代田区千代田1-1-1 丸の内ビルディング10F
(32) 優先日	平成13年8月2日 (2001.8.2)	ファーム(備考)	5000 A06 B06 D03 D08 E229 F11 J102 J103 J104
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 単位回路の制御に使用されるデータ線の駆動

【要約】  
【発明の名称】 単位回路の駆動に使用されるデータ線の駆動回路を制御する。  
【解決手段】 表示マトリクス部200は、マトリクス状に配列された画素回路210と、行方向に伸びる複数のデータ線Y1、Y2...と、列方向に伸びる複数のデータ線X1、X2...とを有している。走査線はデータ線X1、X2...と接続されており、データ線はデータ線ドライバ300に接続されている。各データ線には、データ線の右端または左端に接続する手段として、フリチャージ回路600や付加電圧回路が取り付けられている。各データ線に対しては、画素回路210における発光素子の設定が完了する前に、フリチャージや付加電圧によって充電または放電の加減が行われる。



【特許請求の範囲】

【請求項1】 フリチャージマトリクス駆動法によって駆動される電気光学装置であって、

発光素子と前記発光素子の発光の制御を調節するための回路とをそれぞれ含む複数の単位回路がマトリクス状に配列された川位回路マトリクスと、

前記単位回路マトリクスの行方向に亘って配列された単位回路群にそれぞれ接続された複数の走査線と、

前記単位回路マトリクスの列方向に亘って配列された単位回路群にそれぞれ接続された複数のデータ線と、

前記複数の走査線に接続され、前記単位回路マトリクスの1つの行を選択するための走査線駆動回路と、

前記発光素子の発光の制御に亘ってデータ信号を生成して、前記複数のデータ線のうちの少なくとも1つのデータ線上に出力することが可能なデータ信号生成回路と、

前記走査線駆動回路によって選択された行に存在する少なくとも1つの単位回路に前記データ線を介して前記データ信号が供給される際に、前記データ線の充電または放電を加減することが可能な放電電圧源と、を備える電気光学装置。

【請求項2】 請求項1記載の電気光学装置であって、前記単位回路による前記発光素子の駆動は、前記データ信号の電圧値に応じて行われる、電気光学装置。

【請求項3】 請求項1または2記載の電気光学装置であって、前記発光素子は、流れる電流値に応じて発光の強弱が変化し得る電流駆動型の素子であり、

前記単位回路は、前記発光素子に流れる電流の制御に亘って前記データ信号の電圧値を決定する手段を有し、

前記データ線と前記発光素子の接続点に前記データ信号によって電圧が加えられる、電気光学装置。

【請求項4】 請求項3記載の電気光学装置であって、前記単位回路は、さらに、

前記データ線と前記発光素子の接続点に接続され、前記データ信号によって前記発光素子の電圧値を決定する手段を有する際に使用される第1のスイッチングトランジスタと、

前記駆動トランジスタおよび前記発光素子と直列に接続された第2のスイッチングトランジスタと、を有しており、

各走査線は、前記第1と第2のスイッチングトランジスタのそれぞれに接続された第1と第2のゲート駆動信号を有し、

前記第1のゲート駆動信号は、(1) 所定の第1の期間において、前記第1のスイッチングトランジスタをオン状態に

設定して、前記発光素子の電圧値を決定する手段を有する第1の動作と、(2) 前記第1の期間の後の第2の期間において、前記第1のスイッチングトランジスタをオフ状態に設定するとともに前記第2のスイッチングトランジスタをオン状態に設定して、前記発光素子に電圧を印加する第2の動作と、を有する、電気光学装置。

【請求項5】 請求項1ないし4のいずれかに記載の電気光学装置であって、

前記放電電圧源は、前記複数のデータ線をフリチャージすることが可能なフリチャージ回路を含む、電気光学装置。

【請求項6】 請求項4記載の電気光学装置であって、前記放電電圧源は、前記複数のデータ線をフリチャージすることが可能なフリチャージ回路を含む、

前記フリチャージ回路は、前記第2の期間以外の期間であって前記第1の期間が完了する前の特定のフリチャージ期間において前記フリチャージを行なう、電気光学装置。

【請求項7】 請求項4記載の電気光学装置であって、前記フリチャージ期間、前記第1の期間が開始される以前に設定される、電気光学装置。

【請求項8】 請求項6記載の電気光学装置であって、前記フリチャージ期間は、前記第1の期間の初期の一部を含む期間に設定される、電気光学装置。

【請求項9】 請求項5ないし8のいずれかに記載の電気光学装置であって、

前記フリチャージ回路は、前記データ線をフリチャージすることにより、前記データ線を発光素子の電圧値以下の低い電圧状態に設定する手段を有する、電気光学装置。

【請求項10】 請求項9記載の電気光学装置であって、

前記フリチャージ回路は、前記データ線をフリチャージすることにより、前記データ線を発光素子の電圧値以下の低い電圧状態に設定する手段を有する、電気光学装置。

【請求項11】 請求項5ないし10のいずれかに記載の電気光学装置であって、

各単位回路は、複数の色成分のそれぞれに対しておいて、前記フリチャージ回路は、各色成分毎に異なる電圧で前記データ線を充電または放電することが可能である、電気光学装置。

【請求項12】 請求項1ないし4のいずれかに記載の電気光学装置であって、

前記放電電圧源は、前記各発光素子の発光の制御に亘ってデータ信号の電圧値を決定する手段を有する付加電圧回路を含む、電気光学装置。

【請求項13】 請求項12記載の電気光学装置であって、

前記電磁波の付加は、前記各発光素子の発光の順番に応じたデータ信号が生成される期間の初期に行われる。電光変光装置。

【請求項14】 請求項12または13記載の電光変光装置であって、前記付加電磁波は、各データ信号に対して前記データ信号を生成期間と並行に供給されたトランスミタを含む、電光変光装置。

【請求項15】 発光素子と前記発光素子の発光の順番を制御するための回路とをそれぞれ含む複数の前記回路がマトリクス状に配置された半導体マトリクスと、各発光素子の発光の順番に応じたデータ信号を各前記回路に供給するための複数のデータ線と、を備えたマトリクスマトリクス駆動部の電光変光装置の駆動方法であって、

少なくとも1つの前記回路に前記データ線を介して前記データ信号を供給する際に、前記データ線の充電または放電を加減することと特徴とする電光変光装置の駆動方法。

【請求項16】 請求項15記載の方法であって、前記マトリクス回路による前記発光素子間の発光期間の同期は、電磁波として供給される前記データ信号に応じて行われる、方法。

【請求項17】 請求項15または16記載の方法であって、前記発光素子または放電の駆動は、所定のフリクエージ期間において前記データ線をフリクエージすることによって行われる、方法。

【請求項18】 請求項17記載の方法であって、(1)所定の第1の期間において、前記データ信号による前記付加電磁波の発生を行う過程と、(11)前記第1の期間の後の第2の期間において、前記付加電磁波の発生状態に基づいて前記発生素子が発生する過程と、を備え、前記フリクエージ期間は、前記第2の期間以外の期間であって前記第1の期間が完了する前に発生される、方法。

【請求項19】 請求項18記載の方法であって、前記フリクエージ期間は、前記第1の期間が開始される以前に発生される、方法。

【請求項20】 請求項18記載の方法であって、前記フリクエージ期間は、前記第1の期間の初期の一部を含む期間に発生される、方法。

【請求項21】 請求項17ないし20のいずれかに記載の方法であって、

前記フリクエージは、発光期間の半値以下の低い増減範囲に相当する電圧値に前記データ線を充電または放電するように行われる、方法。

【請求項22】 請求項21記載の方法であって、前記フリクエージは、ゼロでない低周波電圧増減の近傍の範囲に相当する電圧値に前記データ線を充電または

放電するように行われる、方法。

【請求項23】 請求項17ないし22のいずれかに記載の方法であって、各半値同期は、複数の色成分がそれぞれ行われており、

前記フリクエージは、各色成分毎に異なる電圧で前記データ線を充電または放電するように行われる、方法。

【請求項24】 請求項15または16記載の方法であって、前記発光または放電の駆動は、前記各発光素子の発光の順番に応じたデータ信号の電流値に、前記発光または放電の加速のための電流値を付加することによって行われる、方法。

【請求項25】 請求項24記載の方法であって、前記電流値の付加は、前記各発光素子の発光の順番に応じたデータ信号が生成される期間に行われる、方法。

【請求項26】 複数の電流の電流値に応じて動作が制御される複数の電流駆動素子と、各電流駆動素子に、前記電流駆動素子の動作状態を規定するデータ信号を供給するためのデータ線と、前記データ線間に前記データ信号を出力するためのデータ信号発生回路と、

前記データ線を介して前記データ信号が前記電流駆動素子に供給される際に、前記データ線の充電または放電を加減するための充電放電回路と、を備える電圧駆動部。

【請求項27】 請求項26記載の電圧駆動部であって、前記充電放電回路は、前記複数のデータ線をフリクエージすることが可能なフリクエージ回路を含む、電圧駆動部。

【請求項28】 請求項26記載の電圧駆動部であって、前記充電放電回路は、前記電流駆動素子の動作状態に適した前記データ信号の電流値に、前記データ線を充電または放電を加減するための電流値を付加する付加電流回路を含む、電圧駆動部。

【請求項29】 入力信号に対して電流を生成する電流生成回路と、電光変光素子とを備えた半導体回路と、前記電流を前記回路位置に供給するデータ線と、を含む電光変光装置であって、前記入力信号の変化に伴う前記回路の変化を加減する加減手段を備えることを特徴とする電光変光装置。

【請求項30】 前記加減手段は、前記データ線の電位を、所定の電位に発生するフリクエージ回路であることを特徴とする請求項29記載の電光変光装置。

【請求項31】 前記加減手段は、前記データ線に流れる電流の一部の電流値となる付加電流回路であることを特徴とする請求項29記載の電光変光装置。

【請求項32】 前記入力信号の変化に伴う前記回路の変化に応じて、前記加減手段の使用の要否を判断する判断回路を備えていることを特徴とする請求項29乃至31の何れかに記載の電光変光装置。

至31の何れかに記載の電光変光装置。

【請求項33】 入力信号に対して電流を生成する電流生成回路と、電光変光素子を備えた半導体回路と、前記電流を前記回路位置に供給するデータ線と、を含む電光変光装置の駆動方法であって、

前記入力信号の変化に伴い前記電流の電流値を前1の電流値から前2の電流値に変化させる操作を、電流値の時間変化に伴う複数の期間を経て行うことを特徴とする電光変光装置の駆動方法。

【請求項34】 前記第1の電流値から前2の電流値に変化させる操作は、前記データ線を所定電位に発生するフリクエージ期間によって発生される第3の電流値を釋出して行われることを特徴とする請求項33記載の電光変光装置の駆動方法。

【請求項35】 前記第1の電流値から前2の電流値に変化させる操作は、前記データ線に流れる電流の一部の電流値となる付加電流回路によって発生される第3の電流値を供給して行われることを特徴とする請求項33記載の電光変光装置の駆動方法。

【請求項36】 前記第3の電流値は、前記第2の電流値と前記付加電流回路を流れる電流値とに基づいて発生されることを特徴とする請求項35記載の電光変光装置の駆動方法。

【請求項37】 前記第3の電流値は、前記第1の電流値と前記付加電流回路を流れる電流値とに基づいて発生されることを特徴とする請求項35記載の電光変光装置の駆動方法。

【請求項38】 前記第2の電流値は、前記第1の電流値よりも小さいことを特徴とする請求項33乃至37の何れかに記載の電光変光装置の駆動方法。

【請求項39】 前記第3の電流値は、前記第1の電流値と前記第2の電流値との間の電流値であることを特徴とする請求項33乃至38に記載の電光変光装置の駆動方法。

【請求項40】 前記第1の電流値から前記第3の電流値への電流値の時間変化に伴う電流値は、前記第3の電流値よりも大きいことを特徴とする請求項39記載の電光変光装置の駆動方法。

【請求項41】 前記第1の電流値と前記第3の電流値との差の絶対値は、前記第3の電流値と前記第2の電流値との差の絶対値よりも大きいことを特徴とする請求項40記載の電光変光装置の駆動方法。

【請求項42】 前記第1の電流値及び前記第2の電流値は、前記入力信号に対して電流であることを特徴とする請求項33乃至41の何れかに記載の電光変光装置の駆動方法。

【請求項43】 前記第1の電流値と前記第3の電流値との差に基づいて、前記第1の電流値を第2の電流値に変化させる操作を、前記電流値の時間変化に伴う複数の期間を経て行う必要があるかを判定し、当該判

定が必要であると判定されたときに、前記複数の期間を経て前記第1の電流値を前記第2の電流値に変化させるようにしていることを特徴とする請求項33乃至42の何れかに記載の電光変光装置の駆動方法。

【請求項44】 前記請求項33乃至43の何れかに記載の電光変光装置の駆動方法により駆動されることを特徴とする電光変光装置。

【請求項45】 入力信号に対して電流を生成する電流生成回路と、電光変光素子を備えた半導体回路と、前記電流を前記回路位置に供給するデータ線と、を含む電光変光装置であって、

前記入力信号の変化に伴って前記電流を発生させる際に、前記データ線の電位をリセットするリセット手段を備えることを特徴とする電光変光装置。

【請求項46】 前記電流に応じた電圧を保持する電圧保持手段を備え、前記リセット手段は、前記データ線及び前記電圧保持手段の電位をリセットするようになっていて、

【請求項47】 前記リセット手段は、前記電流を変化させる前に前記リセットを行うようになっていることを特徴とする請求項45又は46記載の電光変光装置。

【請求項48】 入力信号に対して電流を生成する電流生成回路と、電流駆動素子を備えた半導体回路と、前記電流を前記回路位置に供給するデータ線と、を含む電子装置であって、

前記入力信号の変化に伴う前記電流の変化を加減する加減手段を備えることを特徴とする電子装置。

【請求項49】 前記加減手段は、前記データ線の電位を、所定の電位に発生するフリクエージ回路であることを特徴とする請求項48記載の電子装置。

【請求項50】 前記加減手段は、前記データ線に流れる電流の一部の電流値となる付加電流回路であることを特徴とする請求項48記載の電子装置。

【請求項51】 前記入力信号の変化に伴う前記電流の変化に応じて、前記加減手段の使用の要否を判断する判断回路を備えていることを特徴とする請求項48乃至50の何れかに記載の電光変光装置。

【請求項52】 請求項49乃至51及び前記請求項44乃至47の何れかに記載の電光変光装置を、表示部として利用したことを特徴とする電子装置。

【発明の効果】

【発明の他の技術的効果】この発明は、表示装置の回路回路などの半導体回路の駆動に用いられるデータ線の駆動技術に関する。

【0002】

【従来の技術】近年、有線又は無線のDigital Electrical Interface (d-ei)を用いた電光変光装置の開発されている。有線又は無線は、自己発光であり、パルス信号が不要なので、低消費電力、高信頼性、高コントラ



の電流値を第1の電流値から第2の電流値に変化させる動作を、電流値の時間変化中の異なる複数の期間を経て行うことを特徴とする。

【0030】この構成によれば、入力信号の変化に伴って電流を変化させる際に、第1の電流値から第2の電流値に変化させる操作を、時間変化中の異なる複数の期間を経て行うようにしたので、第1の電流値から第2の電流値に変化するまでに要する所望期間の短縮を図ることができ、従って、前記回路に接続されたデータ線の駆動時間を短縮することが可能である。

【0031】本発明による第3の電圧発生回路は、入力信号に対応して電流を生成する電圧発生回路と、電圧発生回路を備えた前記回路と、前記電流を前記回路の両端に供給するデータ線と、を含む電圧発生装置であって、前記入力信号の変化に対応して前記電流を変化させる際に、前記データ線の電位をリセットするリセット手段を備えることを特徴とする。

【0032】この電圧発生装置によれば、入力信号の変化に対応して電流を変化させる際に、リセット手段によってデータ線の電位をリセットするようにしたので、データ線の電位値をより速やかに変化させることができる。従って、前記回路に接続されたデータ線の駆動時間を短縮することが可能である。

【0033】前記回路の両端は、前記電流に応じた電圧を保持する電圧保持手段を備え、前記リセット手段は、前記データ線及び前記電圧保持手段の電位をリセットするようにしていてもよい。この構成によれば、データ線及び電圧保持手段の電位を共にリセットするようにしたので、データ線だけでなく、電圧保持手段の電位電圧も、変化後の電圧値に応じた保持電圧により速やかに一致させることができる。

【0034】本発明による第2の電子装置は、入力信号に対応して電流を生成する電流発生回路と、電流発生回路を備えた前記回路と、前記電流を前記回路の両端に供給するデータ線と、を含む電子装置であって、前記入力信号の変化に伴う前記電流の変化を抑制する追加手段を備えることを特徴とする。

【0035】なお、本発明は、種々の形態で実施することが可能であり、例えば、電圧発生回路、表示回路、その電圧発生回路や表示回路を備えた電子装置、これらの装置の駆動方法、その方法の種別を実現するためのコンピュータプログラム、そのコンピュータプログラムを記録した記録媒体、そのコンピュータプログラムを含み、該記録媒体に記録されたデータ信号、等の形態で実現することができ、

【0036】【発明の効果】次に、本発明の効果の形態を具體例に基づいて以下の順序で説明する。

A. 第1実施例 (付加電流その1) ;  
B. 第2実施例 (付加電流その2) ;

C. 第3実施例 (付加電流その3) ;

D. 付加電流を用いた変形例 ;  
E. 第4実施例 (リチヤージ) ;

F. フリチャージ・リミットに関する変形例 ;

G. フリチャージ回路の配置に関する変形例 ;

H. 電圧値への差引用例 ;

I. その他の変形例 ;

【0037】A. 第1実施例 (付加電流その1) : 図2は、本発明の第1実施例としての表示装置の構成を示すブロック図である。この表示装置は、コントローラ100と、表示マトリクス駆動200 (「画素駆動」とも呼ぶ) と、ゲートドライバ300と、データ線ドライバ400とを有している。コントローラ100は、表示マトリクス駆動200に表示を行わせるためのゲート駆動信号とデータ線駆動信号を生成して、ゲートドライバ300とデータ線ドライバ400にそれぞれ供給する。

【0038】図3は、表示マトリクス駆動200とデータ線ドライバ400の内部構成を示している。表示マトリクス駆動200は、マトリクス状に配列された複数の画素回路210を有しており、各画素回路210は、有線EL素子220をそれぞれ有している。画素回路210のマトリクスには、その列方向に於いて伸びる複数のデータ線Xm (m=1〜M) と、行方向に於いて伸びる複数のゲート線Yn (n=1〜N) とがそれぞれ接続されている。なお、データ線は「ソース線」とも呼ばれ、また、ゲート線は「ゲート線」とも呼ばれる。また、本明細書では、画素回路210を「列方向」あるいは「行方向」とも呼ぶ。画素回路210内のランジスタは、通常はTFETで構成される。

【0039】ゲートドライバ300は、複数のゲート線Ynのうち、1本を選択的に駆動して1行分の画素回路群を選択する。データ線ドライバ400は、各データ線Xmをそれぞれ駆動するための複数の単一ランジスタ410を有している。これらの単一ランジスタ410は、各データ線Xmを介して画素回路210にデータ信号を供給する。このデータ信号は、表示マトリクス200の内部抵抗 (寄生抵抗) を考慮され、これによって有線EL素子220に流れる電流値が制御される。この結果、有線EL素子220の発光の強さが制御される。

【0040】コントローラ100 (図4) は、画素回路200の表示制御を负责するデータ駆動部 (画素データ) を、各有線EL素子220の発光の制御を负责するデータ駆動部 (ゲート) に渡す。ゲートドライバ300は、1行分の画素回路群を選択する。また、ゲート駆動部は、ゲートドライバ300とデータ線ドライバ400とそれぞれ供給される、コントローラ100は、また、ゲート線とデータ線の駆動タイミングのタイミング調整を行う。

【0041】図5は、画素回路210の内部構成を示す回路図である。この画素回路210は、m番目のデータ線とn番目のゲート線Ynとの交点に配列されている回路である。なお、ゲート線Ynは、2本のサブゲート線V1、V2を含んでいる。

【0042】画素回路210は、データ線Xmに流れる電流値に応じて有線EL素子220の発光の強さを制御する電圧保持手段である。具体的には、この画素回路210は、有線EL素子220の両端に、4つのランジスタ211〜214と、保持キャパシタ230 (「保持コンデンサ」あるいは「記憶キャパシタ」とも呼ぶ) とを介して接続される。データ線Xmに流れる電流値を制御するための電圧保持手段は、ゲート線Xmを介して供給されるデータ信号に応じた電位を保持し、これによって、有線EL素子220の発光の強さを制御する。すなわち、保持キャパシタ230は、データ線Xmに流れる電流値に応じた電位を保持する電圧保持手段に相当する。第1ないし第3のランジスタ211〜213は、nチャネル型FETであり、第4のランジスタ214は、pチャネル型FETである。有線EL素子220は、フォトダイオードと同等の電圧注入型 (電圧駆動型) の発光素子なので、ここではダイオードの記号で図示されている。

【0043】第1のランジスタ211のソースは、第2のランジスタ212のドレインと、第3のランジスタ213のドレインと、第4のランジスタ214のドレインと、にそれぞれ接続されている。第1のランジスタ211のドレインは、第4のランジスタ214のゲートに接続されている。また、第4のランジスタ214のソースは、有線ELVdにも接続されている。

【0044】第2のランジスタ212のソースは、データ線Xmを介して単一ランジスタ410 (図3) に接続されている。有線EL素子220は、第3のランジスタ213のソースと有線電圧との間に接続されている。

【0045】第1と第2のランジスタ211、212のゲートは、第1のサブゲート線V1に共通に接続されている。また、第3のランジスタ213のゲートは、第2のサブゲート線V2に接続されている。

【0046】第1と第2のランジスタ211、212は、保持キャパシタ230に電荷を蓄積する際に使用される。また、第3のランジスタ213は、有線EL素子220の発光期間において、オン状態に設けられるスイッチング素子である。また、第4のランジスタ214は、有線EL素子220に流れる電流値を制御するための駆動電圧をランジスタ214に流れる電流値に制御するための駆動電圧をランジスタ214に流れる電流値に制御するための駆動電圧 (駆動電圧) によって制御される。

【0047】図6は、画素回路210の通常の動作を示すタイミングチャートである。ここでは、第1のサブゲート線V1の電位値 (以下、第1のゲート信号V1) も呼ぶ) と、第2のサブゲート線V2の電位値 (以下、第2のゲート信号V2、も呼ぶ) と、データ線Xmの電流値Im (「データ信号」out) も呼ぶ) と、有線EL素子220に流れる電流値IELとが示されている。

【0048】駆動期間Tcは、プログラミング期間Tprと発光期間Tclとに分けられている。ここで、駆動期間Tcとは、表示マトリクス駆動200内のすべての有線EL素子220の発光の強さが1回ずつ更新される期間を意味しており、いわゆるフレーム期間と同じものである。駆動の更新は、1行分の画素回路群の発光が行われ、駆動期間Tcの間に1行分の画素回路群の発光が順次更新される。例えば、30Hzで全画素回路の発光が更新される場合には、駆動期間Tcは約33msである。

【0049】プログラミング期間Tprは、有線EL素子220の発光の強さを画素回路210内に規定する期間である。本明細書では、画素回路210への駆動の規定を「プログラミング」とも呼んでいる。例えば、駆動期間Tcの約33msであり、ゲート線Ynの電圧Vnが480Vである場合には、プログラミング期間Tprは約69ns (=33ms/480V) 以下になる。

【0050】プログラミング期間Tprでは、まず、第2のゲート信号V2をレベルに設定して第3のランジスタ213をオン状態 (飽和) に導く。次に、データ線Xmに発光期間に応じた電流値Imを流し、第1のゲート信号V1をレベルに設定して第1と第2のランジスタ211、212をオン状態 (飽和) に導く。このとき、このデータ線Xmの単一ランジスタ410 (図3) は、発光期間に応じた一定の電流Imを流す定電流源として機能する。図5 (c) に示されているように、この電流値Imは、所定の電流値の期間R1内において、有線EL素子220の発光の強さに応じた値に設定されている。

【0051】保持キャパシタ230には、第4のランジスタ214 (駆動ランジスタ) を流れる電流値Imに対応した電位を保持した状態となる。この結果、第4のランジスタ214のソース/ゲート間には、保持キャパシタ230に記憶された電位が印加される。なお、本明細書では、プログラミングに用いられるデータ信号の電流Imを「プログラミング電流値Im」と呼ぶ。

【0052】プログラミングが終了すると、ゲートドライバ300の第1のゲート信号V1をレベルに設定して第1と第2のランジスタ211、212をオフ状態とし、また、データ線ドライバ400はデータ信号Imを停止する。

【0053】発光期間Tclでは、第1のゲート信号V1

[illegible][illegible][illegible]

【0057】付加電流回路430は、スイッチングトラ

プラズマ4.3と高周波プラズマ4.4との両方では、  
 成されている。高周波プラズマ4.4のモード電位に  
 は、リテラシメントレバが加えられる。リテラシ  
 ングプラズマ4.4のオン・オフは、コントロール  
 0からえられる。高周波プラズマ4.4によって得ら  
 れる、リテラシメントラズマ4.3がオン状態のとき  
 は、リテラシメントレバは、その位置に保持さ  
 れる。プラズマ4.3からデューン・モードに切りか  
 ける。

[illegible][illegible]

【0060】このような付加抵抗は、10の利損は、「ノログラミング」の抵抗値は1mを、前回の「ノログラミング」における第1の抵抗値から、今回の「ノログラミング」における第2の抵抗値に変化させる操作を、電流値の10の利損に半が異なる複数の期間（17の期間11〜12と、期間12〜13）を経て行うもの」と考えることも

可能である。なお、この第1の電流値から第2の電流値への変化は、今回のプログラムミング時のプログラミング電流1mと付加電流1μとの和である第3の電流値(1m+1μ)を経由して行われる。

[illegible]

【0062】図8は、プログラミング期間T<sub>PR</sub>におけるデータ類A<sub>1</sub>、mの値がRQ<sub>1</sub>の変化を示す説明図である。図8は、図7の動作を電源ONの時点で描いたものである。なお、図7における時刻t<sub>1</sub>、t<sub>4</sub>は、正確に言える。図8に示されているように、第1のデータ信号V<sub>1</sub>のレベルが変化する場合に相当する。

[illegible]

(0064) 図2の(a)は、 $\Gamma$ でプロダクション関数の最大値をとる点である。このとき、 $\Gamma$ でプロダクション関数の最大値をとる点である。このとき、 $\Gamma$ でプロダクション関数の最大値をとる点である。

(10)

45645-114645

[illegible]

電圧1 kVが漏れ出た場合には、人体が感電は無い程度に保てるように、付帯  
(10066) 図2 (C) に一点接地で示すように、付帯  
たれており、この所では、フロララミンが開口下のP  
終端1.4 mにおいて最も所帯のフロララミンが電圧1 mに  
おける電圧は0.0 mに到達していない、従って、直線  
図表2.1.0に正しいフロララミンが約1 mを保持して  
正しい範囲にフロララミンが示すところがある、

【0067】このように、本実施例においては、付加成分（P）を用いてデータ部分の始末または終点を加速を行うようにすることにより、周波数帯210に対して低いプログラミングを行うことが可能である。また、プログラムミングの間を知照して、有線または素子220の駆動電圧の加速化を図ることができ、

[illegible]

で、駆動の高速化を図ることができる。

【0069】あるいは、今回のプログラムミツノ電流値1 mが所定の閾値より小さい場合に付加電流1 pを利用し、プログラムミツノ電流値1 mが閾値よりも大きい場合には付加電流1 pを利用しないことと判断してもよい。この理由には、プログラムミツノ電流値1 mが大きい場合には、データ線X mの光阻または抵抗が十分に小さく行われるので、付加電流1 pを利用しなくても十分な駆動に所望のプログラムミツノ電流値1 mを達成できるからである。

【0070】この代わりに、今回のプログラムミツノ電流値1 m(第2の電流値)が前回のプログラムミツノ電流値1 m(第1の電流値)より小さく、且つ、今回のプログラムミツノ電流値1 mと付加電流1 pとの和(第3の電流値)が、前回のプログラムミツノ電流値よりも小さいときには、付加電流1 pを利用することとしてもよい。これらの2つの電流値は、これ以外の様々な関係に設定することも可能である。例えば、第3の電流値を、第1の電流値と第2の電流値との間の電流値としてもよい。また、第1の電流値から第3の電流値への電流値の時間変化は他の電流値よりも大きいものとしてもよい。さらに、第1の電流値と第3の電流値との差の絶対値を、第3の電流値と第2の電流値との差の絶対値よりも大きいものとしてもよい。

【0071】付加電流1 pを利用するか否かの判断は、データ線に行うことが好ましい。但し、前回の回のプログラムミツノ付加電流1 pを利用するものとするれば、表示装置全体の駆動が如何なるという利益がある。

【0072】以上のように、本発明では、プログラムミツノ期間の初期に付加電流1 pをプログラムミツノ電流1 mに加算することによって、初期で正確なプログラムミツノを行うことが可能である。あるいは、プログラムミツノ期間を短縮して、有電圧1素子20の駆動制御の高速化を図ることが可能である。特に、表示パネルの大型化や高解像度化に伴って駆動制御の高速化が要求されるので、大電圧パネルや高解像度表示パネルにおいて上述の効果が顕著である。

【0073】B、第2実施例(付加電流その2)：図11は、本発明の第2実施例としての表示装置の駆動回路を示すブロック図である。この表示装置は、データ線ドライバ400が電圧電流Vdに接続されている点から、単一ラインドライバ410aの内部構成と、前記回路210aの内部構成も第1実施例と異なっている。

【0074】図11は、前記回路210aの内部構成を示す回路図である。この回路図210aは、14個のトランジスタ44と、4つのトランジスタ

4241～4244と、保持キャパシタ230とを介している。なお、4つのトランジスタ241～244は、Dチャネル型PMTである。

【0075】データ線X mには、第1のトランジスタ241と、保持キャパシタ230と、第2のトランジスタ242とがその順に直列に接続されている。第2のトランジスタ242のドレインは、有電圧1素子220に接続されている。第1と第2のトランジスタ241、242のゲートには、第1のサブゲート線V1が共通に接続されている。

【0076】電圧電流Vdと接地電位との間には、第3のトランジスタ243と、第4のトランジスタ244と、有電圧1素子220との駆動回路が介挿されている。第3のトランジスタ243のドレインと第4のトランジスタ244のソースは、第1のトランジスタのドレインにも接続されている。第3のトランジスタ243のゲートには、第2のサブゲート線V2が接続されている。また、第4のトランジスタ244のゲートは、第2のトランジスタ243のソースに接続されている。保持キャパシタ230は、第4のトランジスタ244のソースとゲートとの間に接続されている。

【0077】第1と第2のトランジスタ241、242は、保持キャパシタ230に所定の電圧を供給する際に使用されるスイッチングトランジスタである。第3のトランジスタ243は、有電圧1素子220の発光期間においてオン状態に保たれたスイッチングトランジスタである。また、第4のトランジスタ244は、有電圧1素子220に与えられる電流値を制御するための駆動トランジスタである。第4のトランジスタ244の電流値は、保持キャパシタ230に与えられる電圧値によって制御される。

【0078】図12は、第2実施例の回路図210aの通常の動作を示すタイミングチャートである。この動作では、図12に示した第1実施例の動作から、ゲート信号V1、V2の論理的反転している。また、第2実施例では、図11の回路構成から理解できるように、プログラムミツノ期間TPにおいて、第1と第4のトランジスタ241、244を介して付加電流1素子220にプログラムミツノ電流1 mが流れる。従って、第2実施例では、プログラムミツノ期間TPにおいても有電圧1素子220が発する。このように、プログラムミツノ期間TPで、有電圧1素子220が発光してもよく、あるいは、第1実施例のように光しなくてもよい。

【0079】図13は、第2実施例の単一ラインドライバ410aを示す回路図である。この単一ラインドライバ410aは、データ線X mの電圧電流Vdに接続されている。このため、データ信号生成回路420aの駆動トランジスタ42と、付加電流電流430aの駆動トランジスタ44とが、いずれもDチャネル型PMTで構成されている点で図12に示した第1実施例と異なっ

ている。他の構成は、第1実施例と同じである。

【0080】図14は、第2実施例における有電圧1素子の発光原理図と、データ線X mの電流値1 mと、データ線X mの電圧電流Vdとの関係を示している。第2実施例では、第1実施例とは反対に、単一ラインドライバ410aがデータ線X mの電圧電流Vdに接続されているので、電流値とデータ線X mの電圧電流Vd(すなわち電圧Vd)との関係が第1実施例とは逆転している。すなわち、電流値が大きいほど(すなわち電圧電流Vd)、データ線X mの電圧電流Vd(すなわち電圧Vd)は上昇する傾向にある。電圧電流Vdは、最も低い電流値Vdminでは接地電位に近い電圧に相当する電圧値となり、最も高い電流値Vdmaxでは電圧電流Vdに近しい電圧に相当する電圧値となる。

【0081】図15は、第2実施例でのプログラムミツノ期間TPにおけるデータ線X mの電圧電流Vdの変化を示す原理図である。この変化は、図15に示した第1実施例での変化と本質的には同じである。但し、図15(c)においてプログラムミツノ駆動時の電圧電流Vdが比較的小さいことは、第1実施例とは逆に、前回の行(すなわち(n-1)番目の行)のプログラムミツノにおけるプログラムミツノ電流値1 mが比較的小さいことを意味している。

【0082】この第2実施例の表示装置も、第1実施例と同様の動作を有する。すなわち、プログラムミツノ期間TPの初期に付加電流1 pをプログラムミツノ電流1 mに加算することによって、回路図210aにおいて短時間で正確なプログラムミツノを行うことが可能である。あるいは、プログラムミツノ期間を短縮して、有電圧1素子220の発光制御の高速化を図ることが可能である。

【0083】C、第3実施例(付加電流その3)：図15は、第3実施例の単一ラインドライバ回路410bを示す回路図である。この単一ラインドライバ410bのデータ信号生成回路420は、図15に示した第1実施例と同じであるが、付加電流電流430bの構成が第1実施例と異なっている。すなわち、この付加電流電流430bは、スイッチングトランジスタ43と駆動トランジスタ44との直列接続を兼ねており、これらは互いに直列に接続されている。2つの駆動トランジスタ44の利得係数Bcの比は、例えば1：2に設定される。また、付加電流電流430bが2ビットの信号として供給される。この付加電流電流430bを用いた場合には、付加電流値1 pを、付加電流電流430bが取り得る4ビットの00～3に对应した4つのレベルのいずれかに任意に設定することが可能である。

【0084】図17は、第3実施例の付加電流電流430bを利用した場合のプログラムミツノ期間TPの動作を示す原理図である。ここでは、付加電流値1 pが、より低いレベルLP2から、より高いレベルLP1に昇圧している。この結果、第1実施例や第2実

施例に比べて、より早くデータ線を充電または放電できる可能性がある。この効果も理解できるように、付加電流を利用する場合、付加電流値を2段階以上に変化させて、データ線X mの出力電流1 outを3段階以上に変化させるようにしてもよい。

【0085】また、図15(c)の付加電流電流430bを用いた場合にも、第1実施例と同様に、付加電流値1 pのレベルを、前回の行に対するプログラムミツノ電流値と、今回の行に対するプログラムミツノ電流値とに応じて決定することが可能である。こうすれば、プログラムミツノ電流値に応じた適切な付加電流値を選択的に利用することが可能である。

【0086】なお、このような多量の付加電流値1 pを利用した付加電流電流430bは、第2実施例にも適用可能である。

【0087】D、付加電流を利用した変形例：付加電流の利用に関しては、以下のような様々な変形が可能である。

【0088】D1：付加電流電流は、単一ラインドライバ410のみに与える必要はなく、データ線X mに接続されていれば他の位置に与えることも可能である。また、データ線X m毎に1つの付加電流電流を設ける代わりに、複数のデータ線に対して1つの付加電流電流を設けてもよい。

【0089】D2：また、付加電流電流を設けずに、データ信号生成回路420によってプログラムミツノ電流値1 mより大きな電流値をプログラムミツノ期間の初期に発生させ、所定時間の経過後にプログラムミツノ電流値1 mに切り換えるようにしてもよい。

【0090】以上の各種の変形例や変形からも理解できるように、付加電流を利用する際には、一般に、プログラムミツノの初期においてプログラムミツノ電流値1 mよりも大きな電流をデータ線に流すようにすればよい。こうすることによって、そのデータ線の充電または放電を促進することができ、正確なプログラムミツノや高速な駆動が可能となる。

【0091】E、第4実施例(リチチャージ)：図18は、本発明の第4実施例としての表示装置の構成を示すブロック図である。この表示装置は、図15に示した第1実施例の表示装置の各データ線X m (m=1～M)に、リチチャージ回路600をそれぞれ設けたものであり、他の構成は図15に示したものと同一である。但し、データ線の充電電圧Vcは従来の電圧よりも高くなっている。なお、単一ラインドライバ410としては、付加電流電流430(図18)を介していないものを利用することも可能である。

【0092】各データ線X mには、表示トリカス電圧200とデータ線ドライバ400との間の電圧に、リチチャージ回路600がそれぞれ接続されている。リチチャージ回路600は、充電回路であるリチチャージ電流V





この出力が図411には、リチヤージ回路600にも接続されている。シフトレジスタ700は、各データ線Xmのスイッチングレジスタ250にオン/オフ制御信号を供給しており、これによって、データ線Xmを1つずつ順次選択する。

[0111] この表示装置では、画素回路210が順次に選択される。すなわち、ゲートドライバ300で選択された1つのデータ線Xnと、シフトレジスタ700で選択された1つのデータ線Xmと、の交点に存在する1つの画素回路210のみが1回のプログラミングで更新される。例えば、n番目のゲート線Ynで選択されたM個の画素回路210について1つずつ順次プログラミングが行われ、その後、次の(n+1)番目のゲート線上のM個の画素回路210が1つずつプログラミングされる。1つのプログラミングミニツクを行うことによって、画素回路210に正しいプログラミングを行うことが可能であり、あるいは、プログラミングミニツクを短縮して有価E1素子220の駆動電位の安定化を図ることができ、

[0112] 図26の表示装置のように、点駆動で画素回路210のプログラミングを行う場合には、上述した第4走査線と同様に、各画素回路のプログラミングの完了時にデータ線のリチヤージを行うことによって、画素回路210に正しいプログラミングを行うことが可能であり、あるいは、プログラミングミニツクを短縮して有価E1素子220の駆動電位の安定化を図ることができ、

利用した表示装置は、モバイル型のパーソナルコンピュータや、携帯電話や、ディスプレイカメラ等の種々の電子装置に適用することができ、

[0116] 図27は、モバイル型のパーソナルコンピュータの構成を示すブロック図である。パーソナルコンピュータ1000は、主ボード1020を備えた本体部1040と、有価E1素子を用いた表示ユニット1060とを備えている。

[0117] 図28は、携帯電話の構成図である。この携帯電話2000は、複数の通話ボタン2020と、受信口2040と、送出口2060と、有価E1素子を用いた表示パネル2080を備えている。

[0118] 図29は、ディスプレイカメラ3000の構成を示すブロック図である。なお、外部機器との接続についても簡易的に示している。通常のカメラは、被写体の光線によってフィルムを感光するのに対し、ディスプレイカメラ3000は、被写体の光線をCCD (Charge Coupled Device) 等の撮像素子の光電変換によって撮像信号を生成するものである。ここで、ディスプレイカメラ3000のケース3020の前面には、有価E1素子を用いた表示パネル3040が設けられており、CCDによる撮像信号に基づいて表示が行われる。また、ディスプレイ3040は、被写体を表示するフレイドとして機能する。また、ケース3020の駆動線(図)においては逆方向)には、光センサーやCCD等を含んだ光センサー3060が取り付けられている。

[0119] ここで、撮像パネル3040に表示を示された被写体像を解説して、シフトレジスタ800を押下すると、その時点におけるCCDの駆動信号が、画素回路3100のメモリに送達、格納される。また、このディスプレイカメラ3000において、ケース3020の前面に、ビデオ出力端子3120と、データ駆動の入力端子3140とが設けられている。そして、図に示されるように、前記のビデオ出力端子3120には、テレビモニタ4300が、また、後者のデータ駆動の入力端子3140にはパーソナルコンピュータ4400が、それぞれ必要に応じて接続される。さらに、所定の機能により、画素回路3100のメモリに格納された撮像信号が、テレビモニタ4300や、パーソナルコンピュータ4400に出力される。

[0120] なお、電子機器としては、図27のパーソナルコンピュータや、図28の携帯電話、図29のディスプレイカメラ等の他にも、テレビ、ビデオカメラやモニタ等の数種のビデオカメラ、カーナビゲーション装置、ペーパ、電子手帳、電灯、プロパレット、ワークステーション、テレビ受信機、POS端末、タッチパネルを備えた装置等と接することができ、これらの各種の電子機器の表示装置として、有価E1素子を用いた上述の表示装置が適用可能である。

[0121] 1. その他の変形例：

1：上述した各種の駆動線や変形例では、すべてのトラジャスがFETで構成されているものとしたが、一度または全部のトラジャスをバイポーラトランジスタや他の種類のスイッチング素子で置き換えることも可能である。FETのゲート電極は、バイポーラトランジスタのベース電極は、本発明における(制御)電極に相当する。これらの各種のトラジャスとしては、特許トランジスタ (TFT) に加えて、シリコンベースのトラジャスタも適用可能である。

[0122] 12：上述した各種の駆動線や変形例では、表示ユニット200が1組の画素回路でトリカスを有するものとしていたが、表示でトリカス駆動200が複数の画素回路でトリカスを有するものとしても良い、例えば、大型パネルを構成する際に、表示でトリカス駆動200を構成する複数の駆動線に区分し、各駆動線に1組の画素回路でトリカスをそれぞれ設けるようにしても良い。また、1つの表示でトリカス駆動200中にRGBの3色の色に相当する3組の画素回路でトリカスを設けるようにしても良い、複数の画素回路でトリカス (単価線でトリカス) が存在する場合には、各トリカス毎に上述した駆動線や変形例を適用することが可能である。

[0123] 13：上述した各種の駆動線や変形例で用いた画素回路では、図5に示したようにプログラミング期間TPと充電期間TCとが妨けられていたが、プログラミング期間TPが充電期間TCの1の順に前なるような画素回路を用いることも可能である。このような画素回路に対しては、充電期間TCの初期にプログラミングが行われて発光の駆動が決定され、その後、決定された駆動で発光が継続する。このような画素回路を利用した装置に用いても、付加電流やリチヤージによるデータ線の加速を行うことによって、画素回路に正しい駆動電位を設けることが可能であり、あるいは、プログラミングミニツクを短縮して有価E1素子の駆動電位の安定化を図ることができ、

[0124] 14：上述した各種の駆動線や変形例では、電圧プログラミング型の画素回路を有する表示装置に関する例を示したが、本発明は、電圧プログラミング型の画素回路を有する表示装置に適用可能である。電圧プログラミング型の画素回路に対しては、データ線の電圧値に対してプログラミング (発光駆動の決定) が行われる。他にプログラミング型の画素回路を有する表示装置においても、付加電流やリチヤージを利用したデータ線の加速または放電を同時に進めることができる。[0125] 但し、電圧プログラミング型の画素回路を用いた表示装置では、発光駆動が早いとまにプログラミング電流が流れて小さくなるので、プログラミングに多大な損耗を要する可能性がある。従って、電圧プログラミング型の画素回路を用いた表示装置に本発明を適

用したときには、データ線の充電または放電の加速による効果はより顕著である。

[0126] 15：上述した各種の駆動線や変形例においては、有価E1素子220の発光の制御を画素回路のものとしていたが、本発明は、例えば定電流を流して白黒表示 (2値表示) を行う表示装置にも適用することができる。また、本発明は、バイポーラトランジスタを用いて有価E1素子を駆動する場合にも適用可能である。但し、多量の電流が可能な表示装置や、アクティブマトリクス駆動法を用いた表示装置に対しては、駆動の高効率への要求はより強いので、本発明の効果はより顕著である。さらに、本発明は、画素回路でトリカス毎に配列した表示装置に限らず、他の配列を配列した場合にも適用することが可能である。

[0127] 16：上述した駆動線や変形例では、有価E1素子を用いた表示装置の例を示したが、本発明は、有価E1素子以外の発光素子を用いた表示装置や電子装置にも適用可能である。例えば、駆動電流に依りて発光の制御が可能な他の種類の発光素子 (LEDやFED (Field Emission Display) など) を有する装置にも適用することができ、

[0128] 17：本発明は、さらに、発光素子以外の他の電圧駆動の素子にも適用可能である。このような電圧駆動の素子としては、電圧AM (VAM) が行ける。図30は、電圧AMを利用したメモリ装置の構成を示すブロック図である。

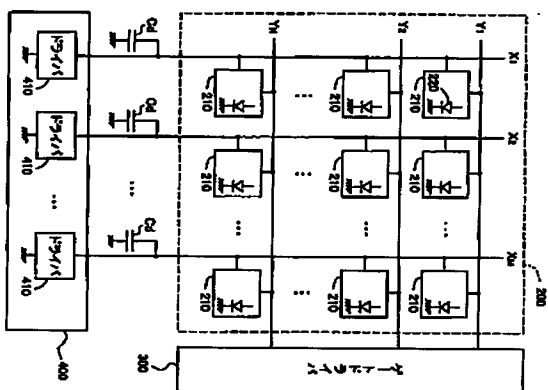
[0129] このメモリ装置は、メモリセルでトリカス駆動820と、ワード線ドライバ830と、ビット線ドライバ840とを有している。メモリセルでトリカス駆動820は、メモリセルに形成された複数の電圧メモリセル810を有している。電圧メモリセル810のワード線Xnには、その列方向に向って伸びる複数のワード線Y1、Y2…と、行方向に向って伸びる複数のワード線Y1、Y2…とがそれぞれ接続されている。このメモリセル810は、ワード線Y2と接続された電圧メモリセル810に形成されている。また、電圧メモリセル810は、ワード線Y1と、ワード線Xnとが接続された電圧メモリセル810に形成されている。

[0130] 図31は、電圧メモリセル810の構成を示すブロック図である。この電圧メモリセル810は、強磁性金属膜からなる2つの電極811、812の間に、絶縁体からなる電圧層813が形成された構造を有している。電圧層813は、2つの電極811、812間に電圧層813を介してトンネル効果を減したと、そのトンネル電流の大きさからトンネル効果の強弱をM1、M2の向きに異なる現象を利用して、データの加速を行うようにしたものである。具体的には、2つの電極811、812間の電圧V (または傾斜) を決定すること

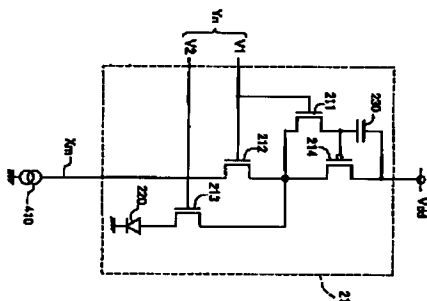




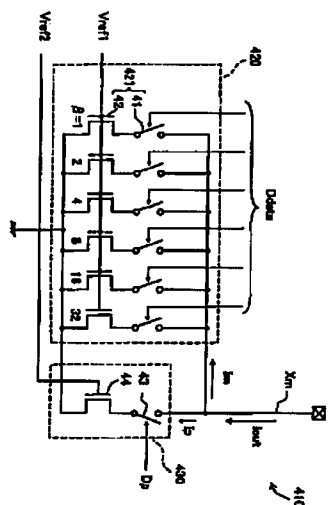
【図1】



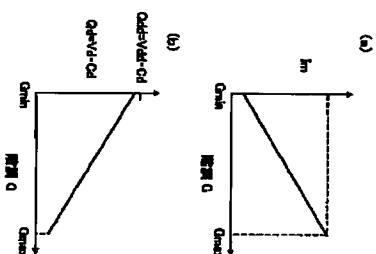
【図4】



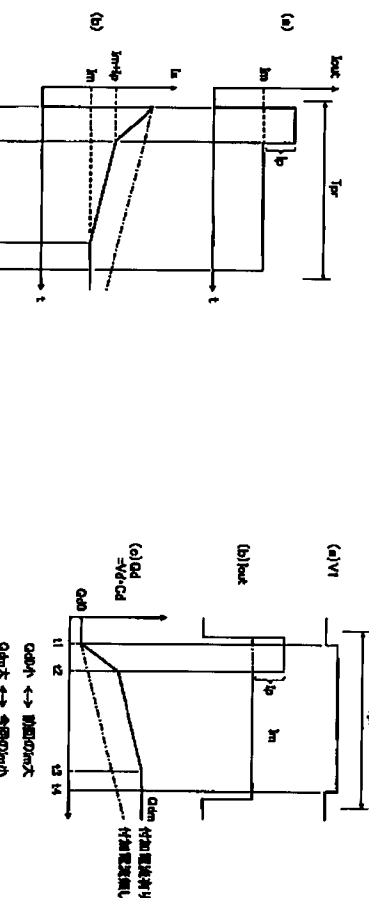
【図5】



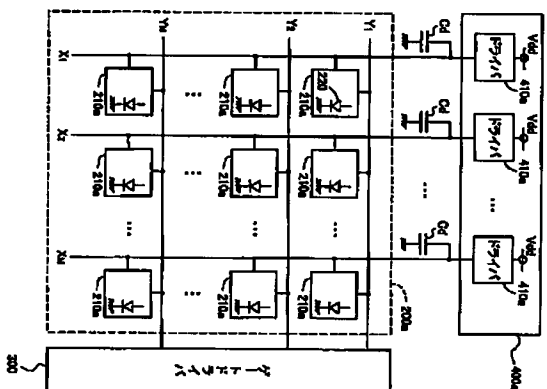
【図9】



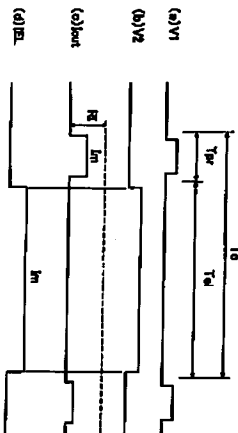
【図8】



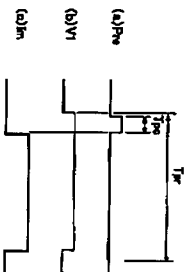
【図10】



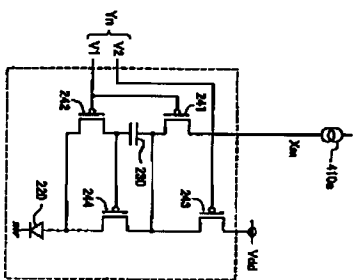
【図3】



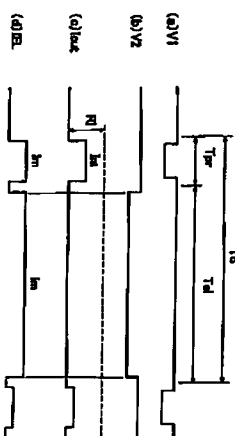
【図2】



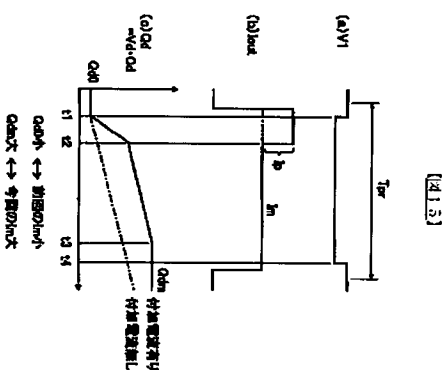
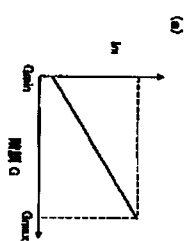
[図1.1]



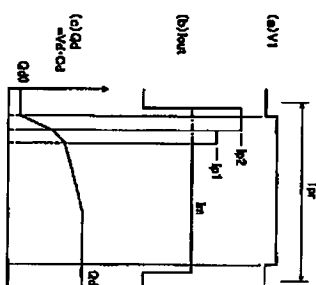
[図1.2]



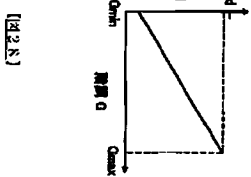
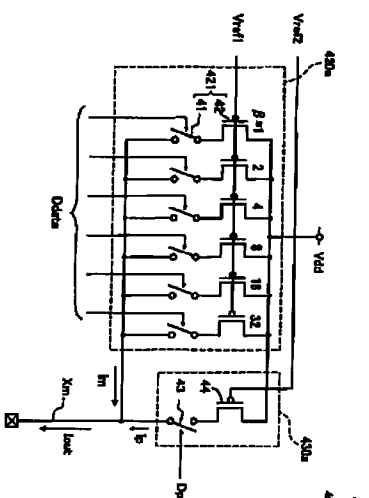
[図1.3]



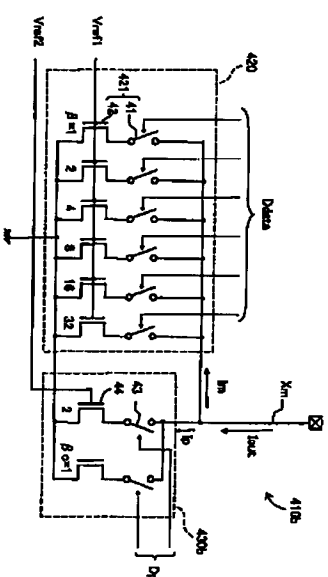
[図1.7]



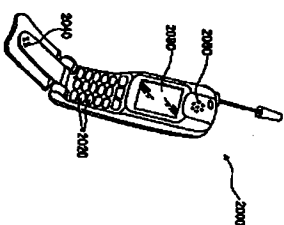
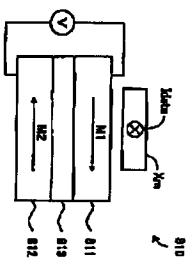
[図1.3]



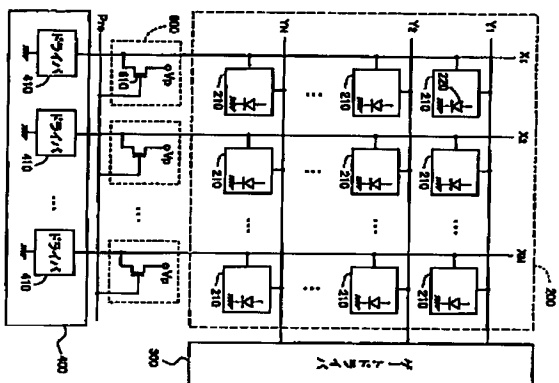
[図1.5]



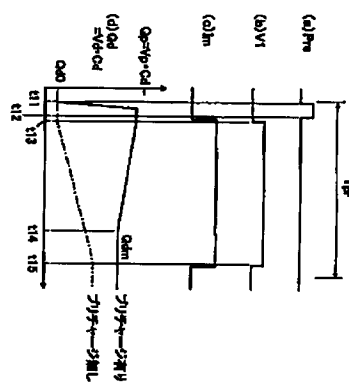
[図3.1]



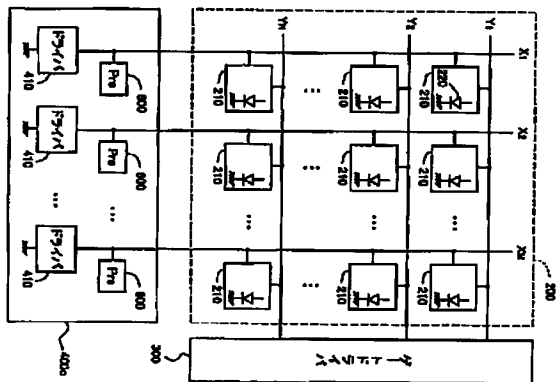
[図18]



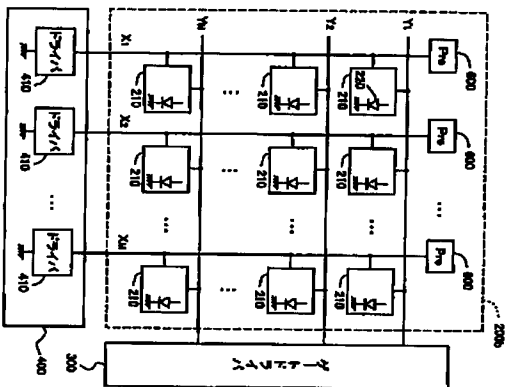
[図19]



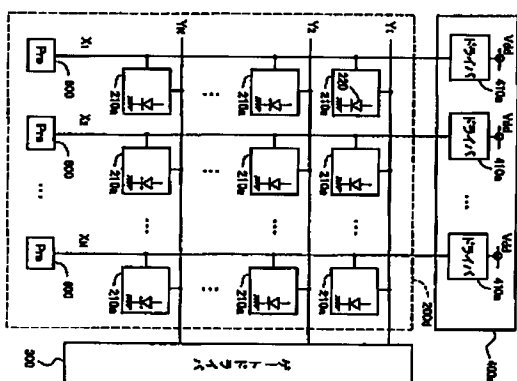
[図20]



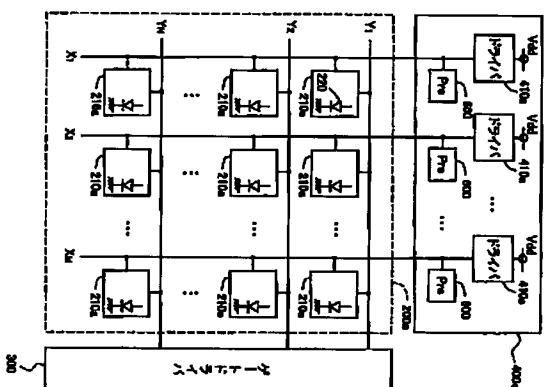
[図21]



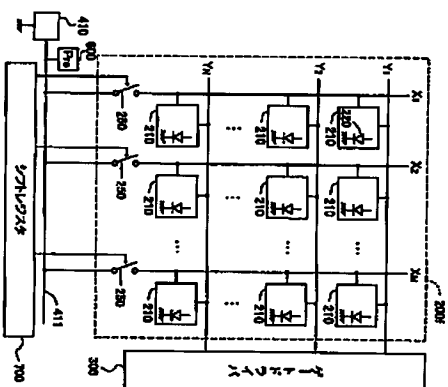
[図22]



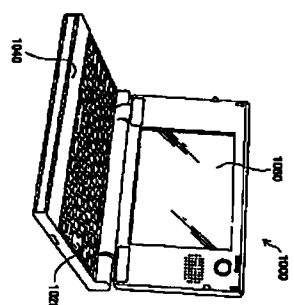
[図23]



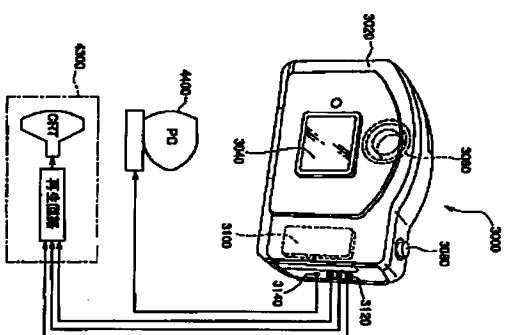
[図24]



[図25]



【図29】



【図30】

